

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-108578

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

G06F 15/16

G06F 12/08

(21)Application number : 03-271555

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 19.10.1991

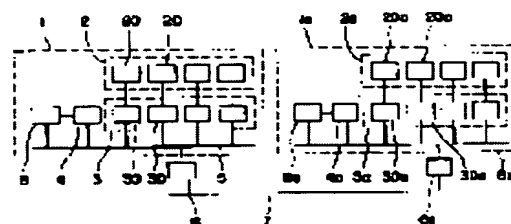
(72)Inventor : TERUI YOSHINOBU

## (54) INFORMATION PROCESSING SYSTEM

### (57)Abstract:

**PURPOSE:** To avoid the bottle neck of a shared bus at the information processing system connecting plural processors through an information transmission line.

**CONSTITUTION:** Plural sub units 1 and 1a are provided in the information processing system, and signal transmission lines 5 and 5a of the respective sub units are connected through interface means 6 and 6a to a common signal transmission line 7. Tag bits are set corresponding to address blocks in main memories 4 and 4a and each memories 30 and 30a in the respective sub units and based on the information of the tag bits of the address blocks requested from processors 20 and 20a, the interface means controls whether a packet is transmitted from a certain sub unit through the common signal transmission line to the other sub unit or not. Thus, processings can be independently executed at the respective sub units, saturation in the signal transmission line can be prevented, and the consistency of the entire system is maintained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-108578

(43)公開日 平成5年(1993)4月30日

(51)IntCl<sup>5</sup>

G 0 6 F 15/16  
12/08

識別記号

3 2 0 K

庁内整理番号

8840-5L

7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全11頁)

(21)出願番号 特願平3-271555

(22)出願日 平成3年(1991)10月19日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 照井嘉信

神奈川県海老名市本郷2274番地富士ゼロッ

クス株式会社海老名事業所内

(74)代理人 弁理士 小堀 益

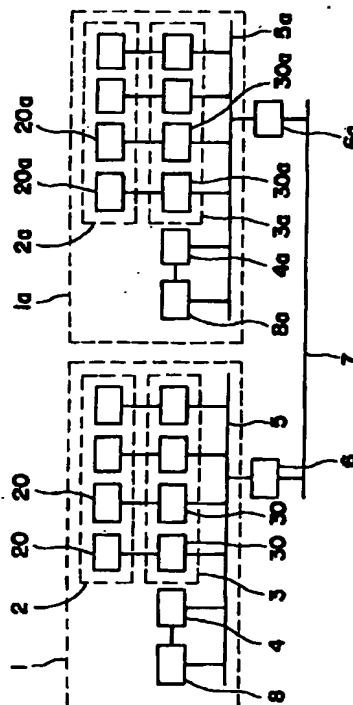
(54)【発明の名称】 情報処理システム

(57)【要約】

【目的】 複数のプロセッサを情報伝送路を介して接続した情報処理システムにおいて、共有バスのボトルネックを回避する。

【構成】 情報処理システム内に複数のサブ・ユニット1, 1aを設け、各サブ・ユニットの信号伝送路5, 5aをインタフェース手段6, 6aを介して共通の信号伝送路7に接続する。各サブ・ユニット内の主メモリ4, 4a及びキャッシュ・メモリ30, 30a内のアドレス・ブロックに対応してタグ・ビットを設定し、プロセッサ20, 20aから要求されたアドレス・ブロックのタグ・ビットの情報に基づいてインタフェース手段により、或るサブ・ユニットから他のサブ・ユニットへ共通の信号伝送路を介してパケットを送出するか否かを制御する。

【効果】 各サブ・ユニットにおいて独立に処理を行うことができ、信号伝送路における飽和を防止できるとともに、システム全体のコンシステンシが維持される。



## 【特許請求の範囲】

【請求項1】 プロセッサに付随したキャッシュ・メモリと主メモリとをバケットによりデータ転送が行われる第1の情報伝送路により接続してそれぞれ構成された複数のサブ・ユニットと、前記主メモリおよびキャッシュ・メモリにおいて分割されたアドレス・ブロックごとに当該アドレス・ブロック内のデータが最新データであるか否かを示すタグ・ビットを格納する手段と、前記複数のサブ・ユニットをバケットによりデータ転送が行われる第2の情報伝送路に接続するインタフェース手段であって前記サブ・ユニット内部でバケットが生成されたときに前記タグ・ビットの状態を判別して前記サブ・ユニット内部のキャッシュ・メモリおよび主メモリにそのアドレス・ブロックに対する最新のデータがない場合のみ前記バケットをサブ・ユニット外部に送出するインタフェース手段とを設けたことを特徴とする情報処理システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数のプロセッサを複数の情報伝達路により接続した情報処理システムに関し、特に、処理の高速化、情報伝送路のトラフィックの削減を図った情報処理システムに関するものである。

## 【0002】

【従来の技術】 従来、複数のプロセッサを情報伝送路を介して接続した情報処理システムとしては、図8に示すような共有バス・共有メモリ構成と称されるシステム構成が一般に採用されている。

【0003】 図8において、81は共有バス83を共有しているプロセッサ群、82はプロセッサ群81に付随して命令・データをプロセッサに供給すると同時に共有バス83上のトラフィックを低減することを目的とするキャッシュ・メモリ群、84はプロセッサ群81で共有するメモリである。

【0004】 図8に示すシステムにおいて、プロセッサ群81からのデータ・アクセスに対して要求されたアドレスに対応するデータが、データを要求するプロセッサに付随するキャッシュ・メモリ中に無い場合には、メモリ84から要求されたアドレスに対応するデータを読み出すためにリード要求バケットがメモリ84に対して発行される。

【0005】 前記のようなシステムにおいては、プロセッサ数 $n$ が増加した場合には、共有バス83が、それぞれのプロセッサからの要求バケット転送のボトルネック（“バスの飽和”として知られている）となり、増加したプロセッサのパフォーマンスをシステム性能に有効に活かせないという欠点があった。

## 【0006】

【発明が解決しようとする課題】 本発明は、前記のような共有バスのボトルネックを回避し、多数のプロセッサ

を接続することが可能であり、また多数のプロセッサを接続した場合においてもプロセッサのパフォーマンスをシステム・パフォーマンスに有効に活かすことのできる情報処理システムを提供することを目的とする。より詳細には、プロセッサ、キャッシュ・メモリ、主メモリを内部に含むサブ・ユニットを構成し、各サブ・ユニット間を複数の情報伝送路により階層的に接続し、サブ・ユニット内をアクセスするデータ要求はサブ・ユニット外部に影響を与えないよう構成された情報処理システムを提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明の情報処理システムは、前記目的を達成するため、プロセッサに付随したキャッシュ・メモリと主メモリとをバケットによりデータ転送が行われる第1の情報伝送路により接続してそれぞれ構成された複数のサブ・ユニットと、前記主メモリおよびキャッシュ・メモリにおいて分割されたアドレス・ブロックごとに当該アドレス・ブロック内のデータが最新データであるか否かを示すタグ・ビットを格納する手段と、前記複数のサブ・ユニットをバケットによりデータ転送が行われる第2の情報伝送路に接続するインタフェース手段であって前記サブ・ユニット内部でバケットが生成されたときに前記タグ・ビットの状態を判別して前記サブ・ユニット内部のキャッシュ・メモリおよび主メモリにそのアドレス・ブロックに対する最新のデータがない場合のみ前記バケットをサブ・ユニット外部に送出するインタフェース手段とを設けたことを特徴とする。

## 【0008】

【作用】 本発明においては、情報処理システム内に複数のサブ・ユニットが設けられており、各サブ・ユニットの信号伝送路をそれぞれインタフェース手段を介して共通の信号伝送路に接続している。そして各サブ・ユニット内に設けられた主メモリ及びキャッシュ・メモリ内のアドレス・ブロックに対応してタグ・ビットを設定し、プロセッサから要求されたアドレス・ブロックのタグ・ビットの情報に基づいて前記インタフェース手段により、或るサブ・ユニットから他のサブ・ユニットへ共通の信号伝送路を介してバケットを送出するか否かを制御している。これにより、各サブ・ユニットにおいて独立に処理を行うことができ、信号伝送路における飽和を防止できるとともに、システム全体のコンシステンシが維持される。また、不必要なバケットが他のサブ・ユニットへ送出されることがなくなる。

## 【0009】

【実施例】 以下、図面を参照しながら、実施例により本発明の特徴を具体的に説明する。まず、本発明の情報処理システムの実施例の概略の構成について説明する。図1において、1、1aは本発明におけるサブ・ユニットの単位を示し、前記サブ・ユニット内には情報処理を行

10

20

30

40

50

## 3

なうプロセッサ群2, 2a, プロセッサに対して命令・データを高速に供給するキャッシュ・メモリ群3, 3a, 命令・データを記憶する主記憶の一部あるいは全部を構成するメモリ・ユニット4, 4a, 情報伝送路5, 5aがある。なお、20, 20aはプロセッサ、30, 30aはキャッシュ・メモリである。

【0010】前記サブ・ユニット1, 1aは、バス・インタフェース・ユニット（以下BIUとして参照する）6, 6aにより複数のサブ・ユニット1, 1a間を接続するサブ・ユニット外部に設けられた情報伝送路7に接続される。情報伝送路5, 5a, 7は、本実施例では64ビット幅でそれぞれ同一の構成の信号を持ち、同一のプロトコルにより情報が伝送される。

【0011】図1においては簡略のためにサブ・ユニット内部のプロセッサ群、キャッシュ・メモリ群はそれぞれ4組しか図示していないが、これらは任意数の組をサブ・ユニット内部に保有することが可能である。また、図1においてはメモリ・ユニット4を1組しか図示していないが、これについても任意数の組をサブ・ユニット内部に保有することが可能である。さらに、図1においては情報伝送路5, 7が2階層化されたシステムについて示しているが、本発明はこれに限定されるものではなく2以上の任意のレベルの情報伝送路および前記情報伝送路の階層をシステム内に持つことが可能である。

【0012】図1におけるキャッシュ・メモリ群3, 3a, メモリ・ユニット4, 4aは情報伝送路5, 5a, 7上の情報伝送の単位であるアドレス・ブロック単位にデータを保有しており、個々のアドレス・ブロックに対応して、それぞれのアドレス・ビット内のデータが最新のものであることを示すタグ・ビットをそれぞれ個別に保有している。メモリ・ユニット4, 4aに付随するタグ・ビットは、メモリ・ユニット4, 4aと同一ユニット内にあっても良いしメモリ・ユニット4, 4aの外部にあっても良い。図1に示す例においては、情報伝送路5, 5aに接続されたタグ・ユニット8, 8a内に格納される。

【0013】キャッシュ・メモリ上のタグ・ビットがセットされている場合には、当該キャッシュ・メモリがそのアドレス・ブロックのデータを最後に更新したものであり、そのアドレス・ブロックの更新データはまだ当該アドレス・ブロックを保持するシステム内のメモリ・ユニットに反映されていないことを示し、メモリ・ユニットに付随したタグ・ビットがセットされている場合には、そのメモリ・ユニット内のデータが最新のものであり、そのメモリ・ユニット以外に当該アドレス・ブロックに対応する最新データを保有するキャッシュ・メモリ、メモリ・ユニットは無いということを示す。

【0014】図2にタグ・ユニット8に格納されるタグ・ビットの概念図を示す。図において、アドレス・ブロック部21は情報伝送路5, 7上のデータ転送単位に分

## 4

割されており、各アドレス・ブロックに対応してタグ・ビット22が付随している。このタグ・ビット22はタグ・ユニット8内に格納される。図2は一例としてアドレス空間が32ビット、アドレス・ブロックを64バイト単位に分割した場合について示しているが、本発明はこれに限定されるものではない。

【0015】図1における情報伝送路5, 7上のデータ転送は、図3に示すデータ転送要求パケットと応答パケットの組合せにより行なわれる。図3において、(a)はキャッシュ・メモリがメモリ・ユニットからデータを読み出す場合のリード要求パケットの一例を示し、

(b)は前記リード要求パケットに対応する応答パケットの一例を示す。同様に(c)はプロセッサ20, 20aがキャッシュ・メモリ群3, 3a内の複数のキャッシュ・メモリ30, 30a間で共有するデータに対してデータの書き込みを行う場合のライト要求パケットの一例を示し、(d)は前記ライト要求パケットに対する応答パケットの一例を示す。また、(e)はキャッシュ・メモリ30, 30a内に存在する或るアドレス・ブロックに対応するデータをメモリに書き戻す場合のライトバック要求パケットの一例を示し、(f)は前記ライトバック要求パケットに対する応答パケットの一例を示す。

【0016】図3(a)～(f)のヘッダ部は、図4に示すようにパケット・タイプ、アドレス・フィールド、要求ユニット・ナンバ等の各フィールドを持つ。

【0017】パケット・タイプフィールドは、情報伝送路上に送出されたパケットのリード／ライトの区別、要求／応答パケットの種別等を示す。アドレス・フィールドは前記パケット内のデータの先頭データのアドレスを示す。要求ユニット・ナンバフィールドは要求パケットを送出したユニットのシステム内で一意のナンバである。応答パケットのヘッダ部は、要求パケットに対応した応答パケットであることを示すパケット・タイプと要求パケットと同一のアドレス・フィールド、要求ユニット・ナンバフィールドを持つ。

【0018】図1に示す情報伝送路5, 5a, 7は、その構成要素として図1には図示しないタグ信号線を持つ。このタグ信号線は、パケット伝送用の信号線とは独立して並列に設けられている。

【0019】前記要求パケットが情報伝送路5, 5a, 7に送出された場合に、キャッシュ・メモリ30, 30a, メモリ・ユニット4, 4aに付随したタグ・ビットから、パケット・ヘッダのアドレス・フィールドで示されたアドレス・ブロックに対応したタグの値が前記タグ信号線に出力される。この処理は、キャッシュ・メモリ30, 30a及びタグ・ユニット8, 8aにより行われる。タグ信号線に出力されたタグ値は、タグ信号線上で他のサブ・ユニットの出力とワイヤード・オアされる。

【0020】図1のBIU6, 6aは、情報伝送路5, 5a上に要求パケットが送出された時点のタグ信号線値

により、情報伝送路上5、5a上の要求パケットをサブ・ユニット1外部の情報伝送路7に送出するかどうか決定する。

【0021】情報伝送路5のタグ信号線がアサートされている場合には、情報伝送路5上の要求パケットは情報伝送路7に送出されることは無く、情報伝送路5のタグ信号線がネゲートされている場合には、情報伝送路5上の要求パケットが情報伝送路7に送出される。すなわち、同じサブ・ユニット1内に要求するアドレスのデータがない場合のみ要求パケットが情報伝送路7に送出される。

【0022】図1に示したメモリ・ユニットとは別個に実現したタグ・ユニット8の詳細について、図5に示す内部構造図を参照して説明する。

【0023】図5において51は、情報伝送路5（あるいは7）上に送出された要求パケットの、アドレス・ブロックを指定するパケット・ヘッダ部アドレス・フィールドをラッチするためのアドレス・レジスタであり、同様に52はパケット・ヘッダ部パケット・タイプフィールドをラッチするためのパケット・タイプ・レジスタであり、53は本タグ・ユニット8が管理するアドレス・スペースを指定するためのアドレス情報をタグ・ユニット8内部に保持するためのアドレス・スペース・レジスタである。アドレス・スペース・レジスタ53には、システム起動時に本タグ・ユニット8が管理すべきアドレス範囲が設定される。

【0024】また、図5において、54はメモリ・ユニットの保持するアドレス・ブロックに付随するタグ・ビットを保持するためのタグ・メモリであり、本実施例においてはSRAMを使用するものとする。なお、タグ・メモリ54に付された記号ADRS, DATA, R/W, CSは、それぞれアドレス端子、データ端子、読み出し/書き込み制御端子、チップセレクト端子を示す。

【0025】55はパケット・タイプ・レジスタ52の内容からタグ・メモリ54等への制御信号を生成するためのパケット・タイプ・デコーダであり、56はタグ・メモリから読み出されたタグ・ビットを情報伝送路5（あるいは7）のタグ信号線L1に出力するための出力バッファである。また、57はタグ・メモリ54の出力をメモリ・ユニット4に直接接続されたメモリ起動信号線L2に出力するためのメモリ起動信号出力バッファである。なお、58はセクタ、59はアドレスデコーダである。また、パケット・タイプ・デコーダ55の出力は、出力バッファ56、57、セクタ58にも制御信号として供給される。

【0026】本実施例においては、メモリ起動信号は、メモリ・ユニット4に対し、情報伝送路5のタグ信号線L1上の出力が自分自身に付随するタグ・ユニットに由来するものであることを通知するために使用される。本メモリ起動信号は、タグ信号と同様にタグ・メモリから

出力されたものであるが、タグ信号は他のユニット、すなわち、サブユニット内部のキャッシュ・メモリ30からのタグ・ビット出力と論理和がとられるために、直接メモリ起動信号としては使用できないために別個に設けられている。

【0027】たとえば、一例として、本システムのアドレス方式が32ビットバイト・アドレッシングであり、メモリ・ユニット4の容量が4メガ・バイトであり、情報伝送路5、7上を伝送される情報の単位が64バイトであるとする、情報伝送路5、7に送出される要求パケットは32ビットのアドレス・フィールドを持ち、メモリ・ユニット4は64K個すなわち16ビットで識別されるアドレス・ブロックを内部に保有する。従って、メモリ・ユニット4に付随するタグ・ビットをアクセスするためには要求パケットヘッダ部のアドレス・フィールド32ビットのうちの16ビットが使用される。本実施例では32ビットバイト・アドレッシングであるので、4ギガ・バイトのアドレス空間にアクセス可能である。すなわち、4メガ・バイトのメモリ・ユニット4を1K個指定可能であるので、各メモリ・ユニットを識別するためには10ビットが必要となる。そこで、他のメモリ・ユニット4aが保有するアドレス・ブロックとの衝突をさけるために、タグ・ユニット8は26（＝16＋10）ビットのアドレスをアドレス・レジスタ51にラッチし、上位10ビットをアドレス・スペース・レジスタ53の内容と比較し、アドレスの上位10ビットと前記アドレス・スペース・レジスタ53の内容が一致した場合にのみタグ・ビットを保持するタグ・メモリ54に対してアドレス下位16ビットを出力する。これを制御するのがアドレス・デコーダ59である。

【0028】本実施例では、32ビットアドレスのうち、31ビット目から22ビット目までの10ビット（＜31:22＞で示す。以下同様。）が、4メガ・バイトのメモリ・ユニット4を選択するために使用され、21ビット目から6ビット目までの16ビット（＜21:6＞）がアドレス・ブロックを選択するために使用され、5ビット目から0ビット目までの6ビット（＜5:0＞）がアドレス・ブロック内のバイトを選択するために使用される。ただし、31ビット目を最上位ビットとし、0ビット目を最下位ビットとする。

【0029】一般に、図1に示すようなプロセッサを複数保有し、それぞれのプロセッサにライトバック方式のキャッシュ・メモリが付いているシステムにおいては、文献James Archibald and Jean-Loup Bear, "Cache Coherence Protocols: Evaluation Using a Multiprocessor Simulation Model" (ACM Transactions on Computer Systems, vol. 4, No. 4, Nov, '86,

10

20

30

40

50

pp. 273-298)、あるいは、Paul Sweazey and Alan Jay Smith,

"A Class of Compatible Cache Consistency Protocols and their Support by the IEEE Futurebus" (The 13th Annual International Symposium on Computer Architecture Conference Proceedings, pp. 414-423) に示されるようなキャッシュ・コンシステンシ・プロトコルによりキャッシュ・メモリ間のデータ一致制御が行なわれる。ここではキャッシュ・コンシステンシ・プロトコルについての詳細を記述することはしないが、ブロード・キャスト方式のコンシステンシ・プロトコルについて極簡単に記述すると、(1) キャッシュ・メモリがリード・ミスした場合には、最新のデータを保持するキャッシュ・メモリから当該データが供給される、(2) キャッシュ・メモリが他のキャッシュ・メモリと共有しているデータを更新する場合には、更新データをデータ共有キャッシュ・メモリに対して送出し、全ての共有キャッシュ・メモリ上の当該データを更新する、(3) キャッシュ・メモリは常に共有バス上のトランザクションを監視し、共有バス上にリード・ミス通知トランザクションを検出し当該アドレスに対する最新データを内部に保持している場合には、メモリがリード・ミス通知トランザクションに応答するのを抑止し、自身の保持する最新データを要求キャッシュ・メモリに送出する、(4) キャッシュ・メモリは常に共有バス上のトランザクションを監視し、共有バス上に他のキャッシュ・メモリと共有しているデータに対する更新要求が発行された場合には、更新要求に付随している更新データで自身のデータを更新する、となる。

【0030】前記コンシステンシ・プロトコル(3)におけるメモリのリード・ミス通知トランザクションに対する応答を抑止するためには、情報伝送路5(または7)上に接続されたユニットに要求された最新データが保持されているか否かをメモリ・ユニット4に通知する必要がある。

【0031】データを保持し得る機能ユニットの全てが一つの情報伝送路に接続された図8に示すような従来の共有バス方式の情報処理システムにおいては、この目的のためにキャッシュ・メモリ上のアドレス・ブロックに対してそのデータを最後に更新したのが当該キャッシュ・メモリであり、当該キャッシュ・メモリの保持するデータが最新のデータであることを示すタグ・ビット(一般にはOwnerビットとして参照されている)を設け、情報伝送路83上に要求パッケージが送出されたときに前記キャッシュ・メモリに付随したタグ・ビット値を情報伝送路83上のタグ信号線に送出すれば、メモリの

応答抑止の目的には十分であった。ところが、共有バスのボトルネックを回避する目的で情報伝送路を図1に示すようにセグメント化すると、要求される最新データがサブ・ユニット1内に存在するとは限らず、前記要求最新データは他のサブ・ユニット1aのメモリ・ユニット4aあるいはキャッシュ・メモリ群3a上に存在する場合も起こりうる。メモリ・ユニットに付随するタグ・ビットを持たない従来のシステムにおいては、サブ・ユニット1内に最新データを保持するキャッシュ・メモリが存在しない場合には、メモリ・ユニット4が自身の保持するデータが最新データであるか否かを判定することができず、情報伝送路のセグメント化とキャッシュ・コンシステンシ・プロトコルの両立は不可能となる。

【0032】そこで、本発明においては、以下に説明するように、メモリ・ユニットに付随したタグ・ビットを設けることで、情報伝送路をセグメント化してもシステムを矛盾無く動作させることを可能としている。

【0033】以下、図1及び図5に示す本発明の実施例における動作を説明する。

【0034】初期状態として、メモリ・ユニット4上のアドレス・ブロックが最新のデータを保持しており、前記アドレス・ブロックに対応したタグ・ビットがセットされているものと仮定する。また、セレクト58はタグ・メモリ54のデータ端子側に切り替えられているものとする。

【0035】プロセッサからのデータ・リード要求に対してキャッシュ・メモリ上に当該データがなかった場合、キャッシュ・メモリは情報伝送路上5にデータ・リード要求パッケージ(図3(a)参照)を送出することで当該データをメモリ・ユニット4に要求する。

【0036】タグ・ユニット8は、情報伝送路5上のトランザクションを監視しており、データ・リード要求パッケージ(図3(a)参照)のヘッダ部が情報伝送路5上に送出された時に、前記ヘッダ部のアドレス・フィールドが図5に示すアドレス・レジスタ51に、パッケージ・タイプ・フィールドがパッケージ・タイプ・レジスタ52にラッチされる。前記アドレス・レジスタ51にラッチされたブロック・アドレスの上位10ビットがアドレス・スペース・レジスタ53の内容と比較され、前記ブロック・アドレスの上位10ビットとアドレス・スペース・レジスタ53の内容が等しい場合のみ、アドレス・デコーダ57からアドレス・ブロックに対応する16ビットのアドレス<21:6>が出力される。

【0037】アドレス・デコーダ59から出力された16ビットのアドレスとパッケージ・タイプ・デコーダ55からの出力により、タグ・メモリ54の内容が読み出され、出力バッファ56を介して情報伝送路5のタグ信号線L1に出力される。

【0038】サブ・ユニット内部の情報伝送路5とサブ・ユニット外部の情報伝送路7をインタフェースしてい

るBIU6は、情報伝送路5上のタグ信号線L1がアサートされると前記データ・リード要求パケットが情報伝送路7に出力されるのを阻止する。

【0039】同時に、メモリ起動信号線L2からメモリ起動信号を出力し、このメモリ起動信号がメモリ・ユニット4に対し情報伝送路5に付随するタグ信号線の値がメモリ・ユニット4に付随するタグ・ユニット8から出力されたものであることを通知し、メモリ・ユニット4に対しデータ・リード要求パケットに応答することを指示する。メモリ・ユニット4から読み出されたデータは応答パケット(図3(b)参照)としてサブ・ユニット1内部のユニットにブロードキャストされる。

【0040】メモリ・ユニット4内では、タグ・ユニット8とは独立に要求パケットのヘッダ部をラッチし、メモリ起動信号によりメモリ・アクセス・シーケンスを開始する。なお、ここでのメモリ・アクセス・シーケンスとは、上述のメモリ・ユニット4からデータを読み出して応答パケットをブロードキャストする処理のことである。

【0041】次に、プロセッサがキャッシュ・メモリ上の、上述のデータ・リード要求時のアドレス・ブロックと同じアドレス・ブロックに対応するデータに対してライトを行なうと、キャッシュ・メモリ上の当該データの更新、キャッシュ・メモリの前記アドレス・ブロックに付随したタグ・フラグのセットが行なわれ、同時にメモリ・ユニット4に対しライト要求パケットが送出される。すなわち、データ更新を行なったキャッシュ・メモリ上のデータがシステム内で最新のデータとなる。

【0042】前記ライト要求パケットが情報伝送路5上に送出されると、タグ・ユニット8はデータ・リード要求パケットに対するのと同様にライト要求パケットのヘッダ部のアドレス・フィールドとパケット・タイプを内部のアドレス・レジスタ51、パケット・タイプ・レジスタ52にセットする。アドレス・スペース・レジスタ53の内容との比較が行なわれるのは前記と同様である。パケット・タイプ・デコーダ55は、パケット・タイプ・レジスタがデータ更新要求パケットであることを検出し、当該要求パケット・ヘッダのアドレス・フィールドで指示されたアドレス・ブロックのタグ・メモリの内容をクリアする。

【0043】また、BIU6は、ライト要求パケットをシステム内にブロードキャストするために情報伝送路7上に前記ライト要求パケットを出力する。

【0044】メモリ・ユニット4に付随するタグ・ビットがクリアされているアドレス・ブロックにキャッシュ・メモリからデータ・リード要求が発行された場合、データを要求しているキャッシュ・メモリ以外で当該アドレス・ブロックのタグ・ビットがセットされているキャッシュ・メモリがサブ・ユニット内に存在する場合には、前記要求パケットのヘッダ部が出力されたときに前

記タグがセットされた当該アドレス・ブロックのデータを保持するキャッシュ・メモリから情報伝送路5に付随するタグ信号線L1にタグ・ビットが出力され、その結果、情報伝送路5に付随するタグ信号線L1がアサートされてBIU6は前記要求パケットが情報伝送路7上に出力されるのを抑止するが、メモリ起動信号がアサートされないために、当該データ・リード要求パケットに対してメモリ・ユニット4がデータを供給することはない。データはタグ信号線L1をアサートしたキャッシュ・メモリから供給される。

【0045】同じくメモリ・ユニット4に付随するタグ・ビットがクリアされているアドレス・ブロックにキャッシュ・メモリからデータ・リード要求が発行され、しかもサブ・ユニット1内部にタグ・ビットがセットされた当該アドレス・ブロックを保持するキャッシュ・メモリが存在しなかった場合には、情報伝送路5に付随するタグ信号線L1がセットされることは無く、前記要求パケットはBIU6により情報伝送路7上に送出される。

【0046】情報伝送路7上のデータ・リード要求パケットを検出したサブ・ユニット1aに接続するBIU6aは、前記要求パケットをサブ・ユニット1a内の情報伝送路5aに出力する。

【0047】システム内でタグ・ビットがセットされたアドレス・ブロックを保持するユニットが必ず唯一つ存在することが保証されているために、本実施例においてはサブ・ユニット1a内のユニットが必ず当該データ要求パケット(図3(a)参照)に対応する応答パケット(図3(b)参照)を返す。前記応答パケットには前記リード要求パケットにより要求されたデータが含まれている。応答パケットはサブ・ユニット1a内、情報伝送路7およびサブ・ユニット1にブロードキャストされる。

【0048】タグ・ビットがセットされたアドレス・ブロックを内部に保持するキャッシュ・メモリが図3に示すライトバック要求パケットにより前記タグ・ビットがセットされたアドレス・ブロックをメモリに書き出そうとする場合には、情報伝送路5上にライトバック・パケットのヘッダ部が出力された時にパケット・タイプ・デコーダ55の制御によりセクタ58がパケット・タイプ・デコーダ55側に切り替えられ、メモリ起動信号線L2にはパケット・タイプ・デコーダ55から出力される書き込み起動信号が出力されると同時に、当該アドレス・ブロックに対応したタグ・ビットがセットされる。

【0049】BIU6、6aは、情報伝送路5、5aから情報伝送路7に送出されるパケットに対しても情報伝送路7から情報伝送路5、5aに出力されるパケットに対しても全く等しい動作を行う。

【0050】図6に本発明の他の実施例として、メモリ・ユニット4の内部に、図1におけるタグ・ユニット8の機能を内蔵した場合の例を示す。このように、タグ・



ビットを格納する機能をメモリ・ユニット4内に構成することで、情報伝送路5上の負荷を削減することができ、さらに情報伝送路5のデータ転送バンド幅を拡大することができる。図6に示す他の実施例の動作は、図1に示す実施例と同様であるので説明は省略する。

【0051】 上述の図1及び図6に示す実施例においては、最新データが当該サブ・ユニット内にあるか否かを判断することが可能となるため、タグ・ビットがアサートされたリード要求バケットがサブ・ユニット外部に出力されることは抑止されるが、一般にリード応答バケットが発行されるのはリード要求バケット受領直後とは限らないため、リード応答バケットを発行するキャッシュまたはメモリは、当該リード要求バケットがサブ・ユニット内部から発行されたものか、或いは、サブ・ユニット外部から発行されたものかを知ることはできず、リード要求バケットがサブ・ユニット外部に出力されるのを完全に抑圧することができないという点で必ずしも十分ではない。なお、リード要求バケット・ヘッダ部の要求ユニット・ナンバ・フィールドを比較することにより、リード要求バケットを外部に出力する必要があるか否かを判断することは可能であるが、この場合回路規模が大きくなってしまう。

【0052】 図7は上述の点を改善した更に他の実施例を示しており、図1の情報伝送路5及び7上を伝送されるバケットのヘッダ部に、そのバケットがブロードキャストされたものであるか否かを示すブロードキャスト・フラグ・フィールド71を新たに設けている。

【0053】 キャッシュ・メモリ群3からのデータ・リード要求バケットがBIU6を介して情報伝送路7に送出される時に、BIU6が前記要求バケット・ヘッダ部のブロードキャスト・フラグ・フィールド71をセットする。そして、サブ・ユニット1a上のタグ・ビットがセットされた当該アドレス・ブロックのデータを内部に保持するユニットが、応答バケット返送時に応答バケット・ヘッダ部のブロードキャスト・フィールドに要求バケット・ヘッダ部のブロードキャスト・フィールドの値をコピーしてバケットを送出するように構成する。これにより、サブ・ユニット1及び1aに接続されたBIU6および6aがリード要求応答バケットをサブ・ユニット1及び1aの外部に送出すべきか否かをより厳密に調べることが可能になり、必要の無いブロードキャスト・バケットをより削減することが可能になる。

【0054】

【発明の効果】 本発明においてはメモリ・ユニットに付随したタグ・ビットを設けることで、情報伝送路をセグ

メント化してもシステムを矛盾無く動作させることが可能になる。これによって、共有バスの飽和の問題が解決され、しかもインタフェース手段の制御により必要以上のバケットがシステム内にブロードキャストされるのが防止される。これにより同一バンド幅の情報伝送路を使用してもより多くのプロセッサをサポートすることが可能となり、情報処理システムの処理能力が向上する。また、セグメント化によりサブ・ユニット内の情報伝送路の線路長を短縮することができ、情報伝送路に浮遊する容量を減少することができるために、情報伝送路のデータ転送バンド幅を拡大することができる。

【図面の簡単な説明】

【図1】 本発明の情報処理システムの実施例の構成の概略図である。

【図2】 本発明の情報処理システムにおいて使用されるタグ・ビットの概念図である。

【図3】 本発明の一実施例において情報伝送路を伝送されるバケットの形式を示す説明図である。

【図4】 本発明の一実施例において情報伝送路を伝送されるバケットのヘッダの構成図である。

【図5】 本発明の一実施例におけるタグ・ユニット構成図である。

【図6】 タグ・ビットをメモリ・ユニット内に設けた本発明の他の実施例を示す情報処理システムの構成図である。

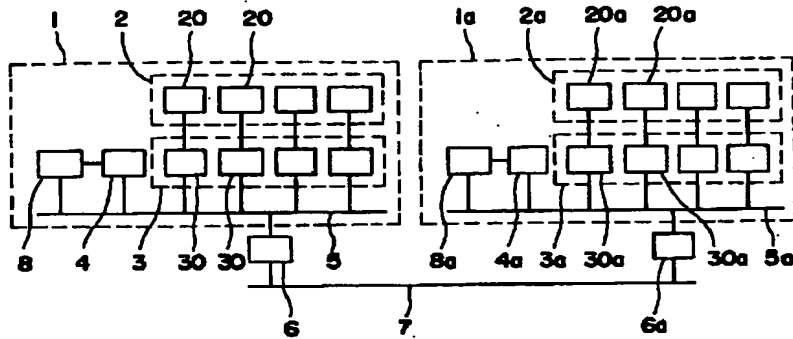
【図7】 更に他の実施例におけるバケット・ヘッダの構成図である。

【図8】 従来の複数のプロセッサを情報伝送路を介して接続した情報処理システムを示す概略図である。

【符号の説明】

1, 1a サブ・ユニット、2, 2a プロセッサ群、3, 3a キャッシュ・メモリ群、4, 4a メモリ・ユニット、5, 5a サブ・ユニット内部情報伝送路、6, 6a バス・インタフェース・ユニット、7 サブ・ユニット外部情報伝送路、8, 8a タグ・ユニット、20, 20a プロセッサ、21 アドレス・ブロック部、22 タグ・ビット、30, 30a キャッシュ・メモリ、51 アドレス・レジスタ、52 バケット・タイプ・レジスタ、53 アドレス・スペース・レジスタ、54 タグ・メモリ、55 バケット・タイプ・デコーダ、56 タグ信号線出力バッファ、57 メモリ起動信号出力バッファ、58 セレクタ、59 アドレス・デコーダ、71 ブロードキャスト・フラグ・フィールド、L1 タグ信号線、L2 メモリ起動信号線

【図1】

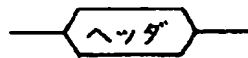


【図2】

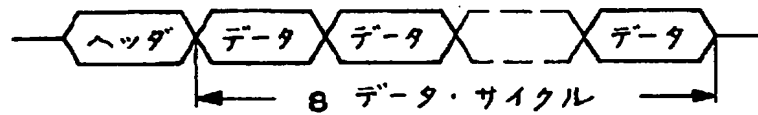
21	22
31	6
	1
	0
	1
	0

【図3】

(a) リード要求パケット



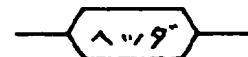
(b) リード応答パケット



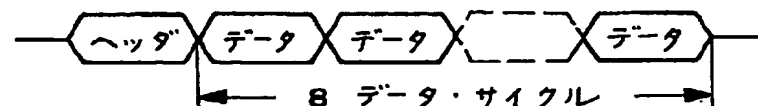
(c) ライト要求パケット



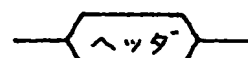
(d) ライト応答パケット



(e) ライトバック要求パケット



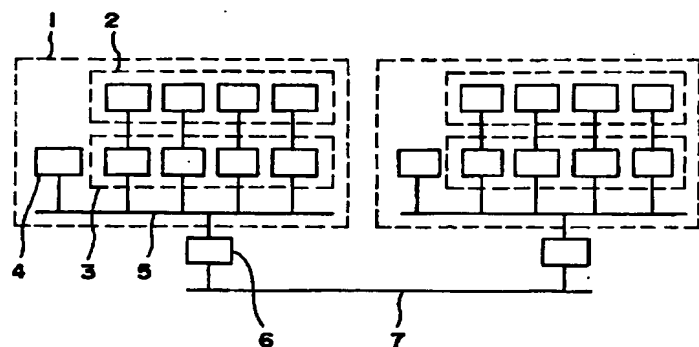
(f) ライトバック応答パケット



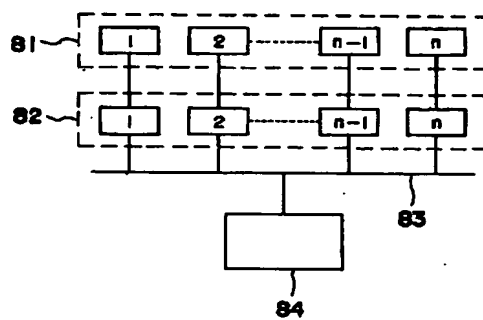
【図4】

パケット・タイプ	アドレス・フィールド	要求ユニット・ナンバ	空　フィールド
----------	------------	------------	---------

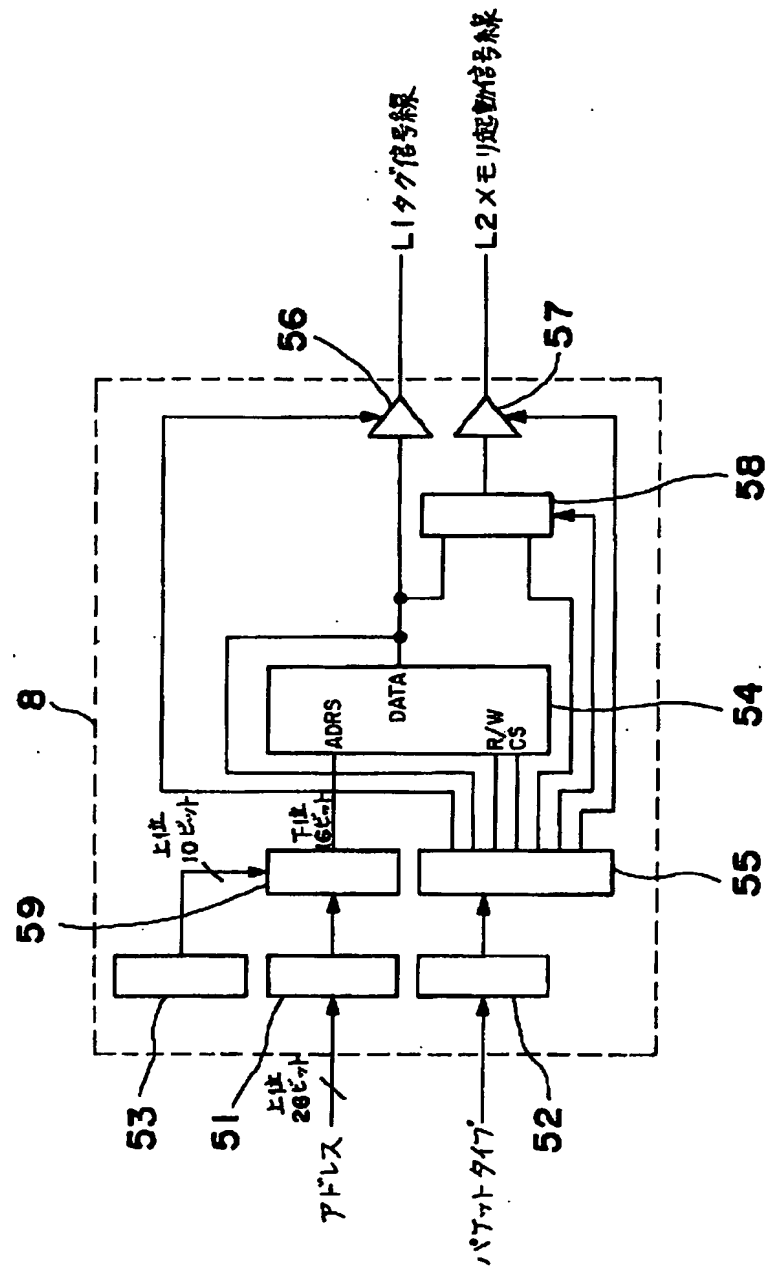
【図6】



【図8】



【図5】



【図7】

71

パケット・タイプ	アドレス・フィールド	要求ユニット・ナンバ	ブロードキャスト・フラグ・フィールド	空フィールド
----------	------------	------------	--------------------	--------